

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

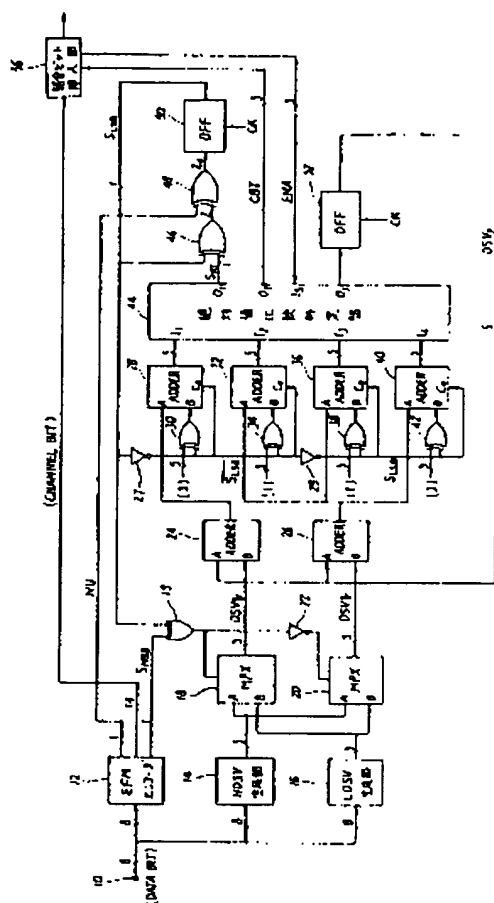
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PatentWeb
HomeEdit
SearchReturn to
Patent List

Help

☐ Include in patent order**MicroPatent® Worldwide PatSearch:** Record 1 of 1

Family Lookup

JP62283719

EFM MODULATOR

NEC HOME ELECTRONICS LTD

Inventor(s): ;SAMEJIMA TAKASHI

Application No. 61126989 , Filed 19860531 , Published 19871209

Abstract:

PURPOSE: To execute a high decision processing by a simple circuit constitution, by constituting the titled modulator so that a DSV of each channel bit is obtained from a conversion table, with respect to each input data bit, a cumulative DSV is calculated in parallel with regard to the respective coupled bits, and an optimum coupled bit can be selected by comparing and deciding them.

CONSTITUTION: An Eight to Fourteen Modulation (EFM) encoder 12 has a ROM for storing a conversion table of a

data bit→a channel bit, and when a data bit (DATA BIT) is inputted, a channel bit of 14 bits corresponding to said bit is outputted. Also, from an output terminal of an absolute value minimum deciding part 44, a coupled bit CBT for giving the determined minimum cumulative DSV is supplied to a coupled bit inserting part 56. In this way, in accordance with the input data bit, a Digital Sum value (DSV) of the corresponding second channel bit is generated from the conversion table, and with the respective coupled bits, the cumulative DSV is calculated in parallel, and by comparing and deciding them, an optimum coupled bit can be selected, therefore, the constitution of a device can be simplified.

COPYRIGHT: (C)1987,JPO&Japio

Int'l Class: H03M00714

MicroPatent Reference Number: 000195799

COPYRIGHT: (C) JPO



PatentWeb
Home



Edit
Search



Return to
Patent List



Help

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

⑤Int.Cl.⁴

H 03 M 7/14

識別記号

庁内整理番号

6832-5J

④公開 昭和62年(1987)12月9日

審査請求 未請求 発明の数 1 (全9頁)

④発明の名称 EFM変調器

②特 願 昭61-126989

②出 願 昭61(1986)5月31日

⑦発 明 者 鮫 島 隆 大阪市北区梅田1丁目8番17号 日本電気ホームエレクトロニクス株式会社内

⑦出 願 人 日本電気ホームエレクトロニクス株式会社 大阪市淀川区宮原3丁目5番24号

⑦代 理 人 弁理士 佐々木 聖孝

明 細 書

1. 発明の名称

EFM変調器

2. 特許請求の範囲

8ビットの各データビットをそれと対応する所定の14ビットのチャネルビットに変換するとともに、相前後する第1および第2のチャネルビット間に予め与えられた複数の結合ビットの中の最適な結合ビットを挿入するEFM変調器において、

各データビットに対し、それと対応するチャネルビットの最初のビットが高レベルもしくは低レベルで始まる場合に得られるそのチャネルビットのDSVをデータとして格納する変換テーブルを有し、前記第2のデータビットを入力して前記変換テーブルより前記第2のチャネルビットのDSVを生成するチャネルビットDSV生成手段と、

前記複数の結合ビットのそれぞれにつき、前記第1のチャネルビットの最後のビットが高レベルか低レベルかにしたがつて、および前記第2のチャネルビットの最初のビットが“1”か“0”か

にしたがつて、前記第1のチャネルビットの最後での累積DSVに前記チャネルビットDSV生成手段より得られた前記第2のチャネルビットのDSVを加算もしくは減算するとともに前記結合ビットのDSVを加算もしくは減算して前記第2のチャネルビットの最後での累積DSVを演算するDSV演算手段と、

前記DSV演算手段で得られたそれぞれの累積DSVの絶対値を比較し、絶対値が最も小さい累積DSVを判定する手段と、

を具備することを特徴とするEFM変調器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はEFM変調器に関し、特に簡易な構成でもって累積DSVを最小にする結合ビットの判定を行えるようにしたものである。

(従来の技術)

周知のように、EFM (Eight to Fourteen Modulation) 変調は、コンパクト・ディスク・デジタル・オーディオで採用されているデジタル

